

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048402

(43)Date of publication of application : 26.02.1993

(51)Int.CI.

H03K 3/286

(21)Application number : 03-207048

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 19.08.1991

(72)Inventor : MURATA KOICHI
SUZUKI MASAO
OHATA MASANOBU

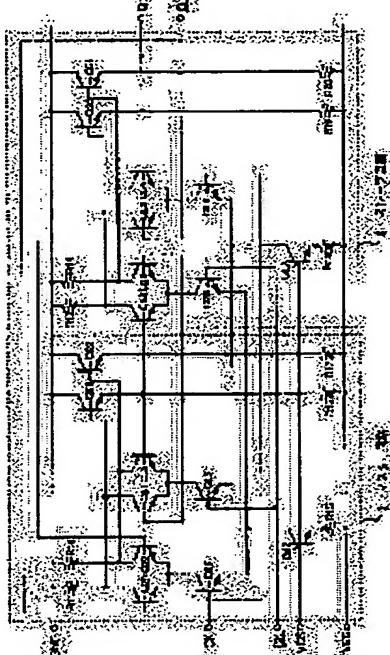
(54) STATIC FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To attain fast processing by combining a differential amplifier circuit pair used for reading data of each of a master circuit and a slave circuit and a differential amplifier circuit pair used for holding data with a positive feedback function so as to devise an operating current of the differential amplifier circuit pair having the positive feedback function to be set smaller independently of the other differential amplifier circuit pair.

CONSTITUTION: A TR Q25 of a master circuit 3 and a TR Q26 of a slave circuit 4 form a differential amplifier circuit pair, a TR QL5 of the master circuit 3 and a TR QL26 of the slave circuit 4 form a differential amplifier circuit pair, and a TR Q27, a resistor R15, and a TR QL7 and a resistor R18 of each current source circuit are connected respectively to the common emitters. That is, the entire circuit is devised to be separated into a current read circuit and a data holding use positive feedback circuit including the current source circuit.

Thus, it is possible to design a current flowing to the data holding use positive feedback circuit to be smaller than a current flowing to the data read circuit thereby reducing a mirror capacitance.



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2747467号

(45)発行日 平成10年(1998)5月6日

(24)登録日 平成10年(1998)2月20日

(51)Int.Cl.⁸
H 0 3 K 3/289
3/286
19/086
23/00

識別記号

F I
H 0 3 K 3/289
3/286
19/086
23/00

Z
F
C

請求項の数2(全8頁)

(21)出願番号 特願平3-207048
(22)出願日 平成3年(1991)8月19日
(65)公開番号 特開平5-48402
(43)公開日 平成5年(1993)2月26日
審査請求日 平成6年(1994)6月2日

(73)特許権者 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号
(72)発明者 村田 浩一
東京都千代田区内幸町一丁目1番6号
日本電信電話株式会社内
(72)発明者 鈴木 正雄
東京都千代田区内幸町一丁目1番6号
日本電信電話株式会社内
(72)発明者 大畠 正信
東京都千代田区内幸町一丁目1番6号
日本電信電話株式会社内
(74)代理人 弁理士 古谷 史旺
審査官 北村 智彦
(56)参考文献 特開 昭60-12819 (JP, A)
特開 昭57-53136 (JP, A)

(54)【発明の名称】 スタティック型フリップフロップ回路

1

(57)【特許請求の範囲】

【請求項1】 データ読み込み用の差動対およびデータ保持用の差動対をそれぞれ備えたマスタ回路およびスレーブ回路の2つのラッチ回路で構成されるスタティック型フリップフロップ回路において、前記マスタ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第1のトランジスタのエミッタと、前記スレーブ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第2のトランジスタのエミッタとを接続し、各上段差動対に対する第1の下段差動対を構成してその共通エミッタに第1の電流源回路を接続し、前記マスタ回路のデータ保持用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が

2

入力される第3のトランジスタのエミッタと、前記スレーブ回路のデータ保持用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第4のトランジスタのエミッタとを接続し、各上段差動対に対する第2の下段差動対を構成してその共通エミッタに第2の電流源回路を接続することを特徴とするスタティック型フリップフロップ回路。

【請求項2】 データ読み込み用の差動対およびデータ保持用の差動対をそれぞれ備えたマスタ回路およびスレーブ回路の2つのラッチ回路で構成されるスタティック型フリップフロップ回路において、前記マスタ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第1のトランジスタのエミッタと、前記スレーブ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第2のトランジスタのエミッタとを接続し、各上段差動対に対する第1の下段差動対を構成してその共通エミッタに第1の電流源回路を接続し、前記マスタ回路のデータ保持用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が

ッタにコレクタが接続され、ベースにクロック補信号が入力される第2のトランジスタのエミッタとを接続し、各上段差動対に対する下段差動対を構成してその共通エミッタに第1の電流源回路を接続し、前記マスタ回路のデータ保持用の差動対の共通エミッタに第2の電流源回路を接続し、前記スレーブ回路のデータ保持用の差動対の共通エミッタに第3の電流源回路を接続することを特徴とするスタティック型フリップフロップ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路においてスタティック動作するスタティック型フリップフロップ回路に関する。

【0002】

【従来の技術】図4は、ECL (Emitter Coupled Logic) 基本回路を用いた従来のスタティック型フリップフロップ回路の構成例である。

【0003】図において、マスタ回路1は、抵抗器R1, R2およびトランジスタQ1, Q2, Q5からなるデータ読み込み回路と、抵抗器R1, R2、トランジスタQ3, Q4, Q6、トランジスタQ8, Q9および抵抗器R6, R7からなるデータ保持用正帰還回路と、トランジスタQ5, Q6の共通エミッタに接続のトランジスタQ7および抵抗器R5からなる電流源回路とにより構成される。スレーブ回路2は、抵抗器R3, R4およびトランジスタQ10, Q11, Q14からなるデータ読み込み回路と、抵抗器R3, R4、トランジスタQ12, Q13, Q15、トランジスタQ17, Q18および抵抗器R9, R10からなるデータ保持用正帰還回路と、トランジスタQ14, Q15の共通エミッタに接続のトランジスタQ16および抵抗器R8からなる電流源回路とにより構成される。GNDはグランド端子、VEEは電源端子、VCSは定電流源端子である。

【0004】なお、トランジスタQ1～Q7および抵抗器R1, R2, R5と、トランジスタQ10～Q16および抵抗器R3, R4, R8は、それぞれ上下2段の差動対からなる縦積みゲートを構成し、トランジスタQ8, Q9および抵抗器R6, R7と、トランジスタQ17, Q18および抵抗器R9, R10は、それぞれエミッタホロワ回路を構成する。

【0005】ここで、クロック信号CKがトランジスタQ5, Q15のベースに入力され、クロック補信号CKがトランジスタQ6, Q14のベースに入力され、マスタ回路1の出力端子Q', Q'にスレーブ回路2の入力端子(トランジスタQ10, Q11のベース)が接続され、スレーブ回路2の出力端子Q, Qにマスタ回路1の入力端子(トランジスタQ1, Q2のベース)が帰還接続され、スタティック型フリップフロップ回路が構成される。なお、Q, Q'は真信号の出力端子であり、Q,

Q'は補信号の出力端子である。

【0006】このような構成のスタティック型フリップフロップ回路では、クロック信号CKがハイレベルになるとトランジスタQ5, Q15が導通状態となり、トランジスタQ1, Q2およびトランジスタQ12, Q13からなる差動対に電流バスが形成される。マスタ回路1に帰還されたスレーブ回路2の出力信号は、トランジスタQ1, Q2からなる差動対によって反転され、トランジスタQ8, Q9を介してレベルシフトされてマスタ回路1の出力端子Q', Q'に取り出される。このとき、トランジスタQ6, Q14はローレベルのクロック補信号CKが入力されて非導通状態であり、トランジスタQ3, Q4およびトランジスタQ10, Q11からなる差動対には電流が流れない。したがって、マスタ回路1の出力端子Q', Q'に取り出された信号は、スレーブ回路2には伝搬せずにそこに保持される。

【0007】次に、クロック信号CKがローレベルになり、クロック補信号CKがハイレベルになるとトランジスタQ6, Q14が導通状態となり、トランジスタQ3, Q4およびトランジスタQ10, Q11からなる差動対に電流バスが形成されるので、マスタ回路1の出力端子Q', Q'に取り出された信号はトランジスタQ3, Q4およびトランジスタQ10, Q11に伝搬される。トランジスタQ3, Q4からなる差動対には、エミッタホロワ回路により正帰還がかかっているので、クロック信号CKがローレベルの間はマスタ回路1の出力信号は保持される。一方、スレーブ回路2に伝搬したマスタ回路1の出力信号は、トランジスタQ10, Q11からなる差動対により反転され、トランジスタQ17, Q18を介してレベルシフトされてスレーブ回路2の出力端子Q, Qに取り出される。このとき、トランジスタQ5, Q15はローレベルのクロック信号CKが入力されて非導通状態であり、トランジスタQ1, Q2およびトランジスタQ12, Q13からなる差動対には電流が流れない。したがって、スレーブ回路2の出力端子Q, Qに取り出された信号は、マスタ回路1には伝搬せずにそこに保持される。

【0008】このように、スレーブ回路2の出力端子Q, Qに取り出される信号は、クロック信号CKがハイレベルからローレベルに変化するときに反転する動作を繰り返す。したがって、図4に示すスタティック型フリップフロップ回路の出力端子Q, Qには、図5に示すようにクロック信号CKの周波数の1/2の周波数を有する信号が出力される。

【0009】

【発明が解決しようとする課題】図4に示すスタティック型フリップフロップ回路の構成において、マスタ回路1の遅延時間は、クロック信号CKが入力されてデータ信号がエミッタホロワ回路に出力されるまでの時間T1と、正帰還を有する差動対(トランジスタQ3, Q4)

および次段のスレーブ回路2の入力差動対（トランジスタQ10, Q11）を駆動するまでの時間T2との和で表される。したがって、マスタ回路1とスレーブ回路2が継続に接続されている構成の遅延時間はその2倍となり、最高動作周波数はこの遅延時間の逆数になる。すなわち、この遅延時間が短いほどスタティック型フリップフロップ回路は高速に動作することになる。

【0010】ところで、遅延時間T2は、正帰還を有する差動対（トランジスタQ3, Q4）および次段のスレーブ回路2の入力差動対（トランジスタQ10, Q11）のミラー容量に大きく影響される。しかし、従来の回路構成ではこのミラー容量の低減は極めて困難であり、スタティック型フリップフロップ回路の動作速度を高める上での大きな支障になっていた。

【0011】本発明は、遅延時間T2に関するミラー容量のうち、正帰還を有する差動対（トランジスタQ3, Q4）のミラー容量の低減により高速化を図ることができるスタティック型フリップフロップ回路を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、データ読み込み用の差動対およびデータ保持用の差動対をそれぞれ備えたマスタ回路およびスレーブ回路の2つのラッチ回路で構成されるスタティック型フリップフロップ回路において、前記マスタ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第1のトランジスタのエミッタと、前記スレーブ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック補信号が入力される第2のトランジスタのエミッタとを接続し、各上段差動対に対する第1の下段差動対を構成してその共通エミッタに第1の電流源回路を接続し、前記マスタ回路のデータ保持用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック補信号が入力される第3のトランジスタのエミッタと、前記スレーブ回路のデータ保持用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第4のトランジスタのエミッタとを接続し、各上段差動対に対する第2の下段差動対を構成してその共通エミッタに第2の電流源回路を接続することを特徴とする。

【0013】請求項2に記載の発明は、データ読み込み用の差動対およびデータ保持用の差動対をそれぞれ備えたマスタ回路およびスレーブ回路の2つのラッチ回路で構成されるスタティック型フリップフロップ回路において、前記マスタ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック信号が入力される第1のトランジスタのエミッタと、前記スレーブ回路のデータ読み込み用の上段差動対の共通エミッタにコレクタが接続され、ベースにクロック補信号が入力される第2のトランジスタのエミッタと接続し、

号が入力される第2のトランジスタのエミッタとを接続し、各上段差動対に対する下段差動対を構成してその共通エミッタに第1の電流源回路を接続し、前記マスタ回路のデータ保持用の差動対の共通エミッタに第2の電流源回路を接続し、前記スレーブ回路のデータ保持用の差動対の共通エミッタに第3の電流源回路を接続することを特徴とする。

【0014】

【作用】正帰還を有する差動対のミラー容量Cmは、その差動対を構成するトランジスタのコレクタ容量Ccとし、その差動対の電圧増幅率をAoとすると、

$$C_m = C_c (1 + A_o)$$

で表すことができる。ここで、正帰還を有する差動対を構成するトランジスタの動作電流を小さくすることにより、電圧増幅率Aoを小さくすることができ、正帰還を有する差動対のミラー容量Cmを低減することが可能となる。

【0015】本発明は、マスタ回路およびスレーブ回路の各データ読み込み用の差動対と各データ保持用の差動対をそれぞれ組み合わせることにより、正帰還を有する

差動対（データ保持用の差動対）の動作電流を独立に小さくすることが可能な回路設計となる。したがって、遅延時間T2のうち正帰還を有する差動対の遅延時間を小さくすることができ、スタティック型フリップフロップ回路の高速化が可能になる。

【0016】また、トランジスタサイズの小さなトランジスタを用いて正帰還を有する差動対を構成することにより、コレクタ容量Ccの低減が可能となり、同様にミラー容量Cmの低減が実現され、スタティック型フリップフロップ回路の高速化が可能になる。

【0017】

【実施例】図1は、本発明の第一実施例の回路構成を示す図である。図において、マスタ回路3は、抵抗器R11, R12およびトランジスタQ21, Q22, Q25からなるデータ読み込み回路と、抵抗器R11, R12、トランジスタQL1, QL2, QL5、トランジスタQ28, Q29および抵抗器R16, R17からなるデータ保持用正帰還回路とを有する。スレーブ回路4は、抵抗器R13, R14およびトランジスタQ23, Q24, Q26からなるデータ読み込み回路と、抵抗器R13, R14、トランジスタQL3, QL4, QL6、トランジスタQ30, Q31および抵抗器R19, R20からなるデータ保持用正帰還回路とを有する。

【0018】ここで、図4に示す従来回路ではトランジスタQ25, QL5あるいはトランジスタQ26, QL6でそれぞれ下段の差動対を構成していたが、本発明による実施例回路では、マスタ回路3L0 Q25とスレーブ回路4のトランジスタQL6で差動対を構成し、またマスタ回路3のトランジスタQL5とスレーブ回路4のトランジスタQL6で差動対を構成し、各差

動対の共通エミッタに電流源回路を構成するトランジスタQ27と抵抗器R15、およびトランジスタQL7と抵抗器R18を接続する。なお、GNDはグランド端子、VEEは電源端子、VCSは定電流源端子である。

【0019】このように、電流源回路を含めてデータ読み込み回路とデータ保持用正帰還回路とを分離する回路構成をとることにより、データ保持用正帰還回路に流れる電流をデータ読み込み回路に流れる電流に比べて小さく設計することが可能となる。データ保持用正帰還回路に流れる電流を小さくすることができれば、正帰還を有する差動対の電圧増幅率Aoを小さくすることができ、そのミラー容量Cmを低減することが可能となる。その結果、遅延時間T2のうち正帰還を有する差動対を駆動するまでの遅延時間が小さくなり、その分スタティック型フリップフロップ回路を高速動作させることができる。なお、データ保持用正帰還回路に流れる電流を小さくするには、例えばその電流源回路を構成する抵抗器R18の抵抗値を大きくする。

【0020】さらに、データ保持用正帰還回路を構成するトランジスタQL1～QL4のトランジスタサイズを小さくすることにより、コレクタ容量と基板容量を小さくすることができ、同様にそのミラー容量Cmを低減することが可能となり、スタティック型フリップフロップ回路を高速動作させることができる。

【0021】なお、本実施例の構成においても、クロック信号CKとクロック補信号CKが入力されるトランジスタの接続関係が従来回路と同じであるので、上述した従来回路とまったく同様の動作をする。

【0022】ここで、第一実施例の回路について、S P I C Eシミュレーションにより求めた最高動作周波数と正帰還を有する差動対の動作電流との関係を図2に示す。図において、横軸は正帰還用差動対の動作電流(mA)であり、縦軸はスタティック型フリップフロップ回路の最高動作周波数(GHz)である。図に示すように、正帰還を有する差動対の動作電流を小さくすることにより、大幅な高速化が可能であることがわかる。

【0023】図3は、本発明の第二実施例の回路構成を示す図である。図において、マスタ回路5は、抵抗器R21、R22およびトランジスタQ41、Q42、Q45からなるデータ読み込み回路と、抵抗器R21、R22、トランジスタQL11、QL12、トランジスタQ48、Q49および抵抗器R27、R28からなるデータ保持用正帰還回路とを有する。スレーブ回路5は、抵抗器R23、R24およびトランジスタQ43、Q44、Q46からなるデータ読み込み回路と、抵抗器R23、R24、トランジスタQL13、QL14、トランジスタQ50、Q51および抵抗器R30、R31からなるデータ保持用正帰還回路とを有する。

【0024】ここで、本実施例回路では、差動対を構成するマスタ回路5のトランジスタQ45とスレーブ回路

6のトランジスタQ46の共通エミッタに、電流源回路を構成するトランジスタQ47と抵抗器R25を接続する。さらに、第一実施例の構成では、クロック信号CKおよびクロック補信号CKにより電流パスを切り換える差動対を構成したトランジスタQL5、QL6に代えて、それぞれ電流源回路を構成するトランジスタQL15と抵抗器R26およびトランジスタQL16と抵抗器R29を接続する。したがって、トランジスタQL11、QL12あるいはトランジスタQL13、QL14により構成される差動対は、クロック信号CKに無関係に常に動作状態になる。

【0025】しかし、データ読み込み回路の差動対(トランジスタQ41、Q42およびトランジスタQ43、Q44)はクロック信号CKに応じて動作し、クロック信号CKとそれらの差動対間を伝搬する信号との関係は第一実施例あるいは従来回路と同じであるので、本実施例においても上述した第一実施例あるいは従来回路と同様の動作をする。

【0026】なお、本実施例の構成においても、電流源回路を含めてデータ読み込み回路とデータ保持用正帰還回路とを分離する回路構成をとることにより、データ保持用正帰還回路に流れる電流をデータ読み込み回路に流れる電流に比べて小さく設計することが可能となる。したがって、正帰還を有する差動対のミラー容量Cmを低減することができ、スタティック型フリップフロップ回路を高速動作させることができる。

【0027】さらに、データ保持用正帰還回路を構成するトランジスタQL11～QL14のトランジスタサイズを小さくすることにより、同様にそのミラー容量Cmを低減することが可能となり、スタティック型フリップフロップ回路を高速動作させることができる。

【0028】ところで、以上示した実施例では、トランジスタにバイポーラトランジスタを用いた例について説明したが、その他例えばGaAsM E S F E Tを用いても同様に本発明のスタティック型フリップフロップ回路を実現することができる。また、本明細書ではフリップフロップ回路として分周動作が可能なT型フリップフロップ回路を例にして説明したが、スレーブ回路の出力がマスタ回路の入力に帰還されないD型フリップフロップ回路についても、同様に本発明を適用することができる。

【0029】

【発明の効果】以上説明したように本発明のスタティック型フリップフロップ回路の構成では、正帰還を有する差動対の動作電流およびそのトランジスタサイズについて、他のトランジスタの動作電流およびトランジスタサイズに比べて小さくすることが可能となる。したがって、この正帰還を有する差動対のミラー容量の低減が可能となり、これらのトランジスタを駆動する際の遅延時間を短縮することができ、スタティック型フリップフロップ回路を高速動作させることができる。

9

【0030】また、トランジスタサイズの小型化により、消費電力の低減が可能となる。

【図面の簡単な説明】

【図1】本発明の第一実施例の回路構成を示す図である。

【図2】第一実施例の回路について、S P I C E シミュレーションにより求めた最高動作周波数と正帰還を有する差動対の動作電流との関係を示す図である。

【図3】本発明の第二実施例の回路構成を示す図である。

【図4】E C L 基本回路を用いた従来のスタティック型フリップフロップ回路の構成例である。

10

【図5】図4に示すスタティック型フリップフロップ回路の動作を説明する図である。

【符号の説明】

Q 1 ~ Q 1 8 トランジスタ

R 1 ~ R 1 0 抵抗器

Q, Q 出力端子

Q 2 1 ~ Q 3 1 トランジスタ

Q L 1 ~ Q L 7 トランジスタ

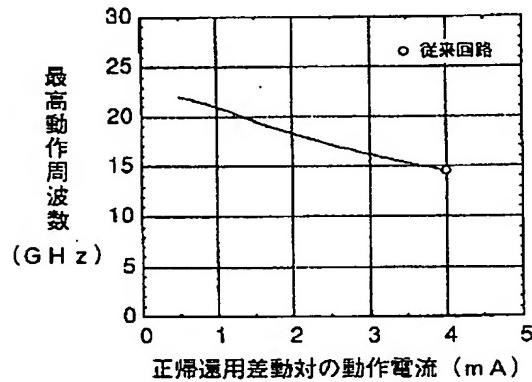
R 1 1 ~ R 2 0 抵抗器

Q 4 1 ~ Q 5 1 トランジスタ

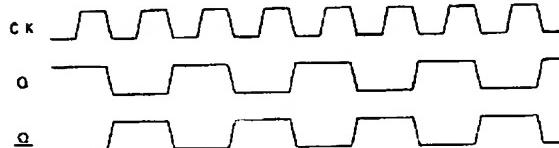
Q L 1 1 ~ Q L 1 6 トランジスタ

R 2 1 ~ R 3 1 抵抗器

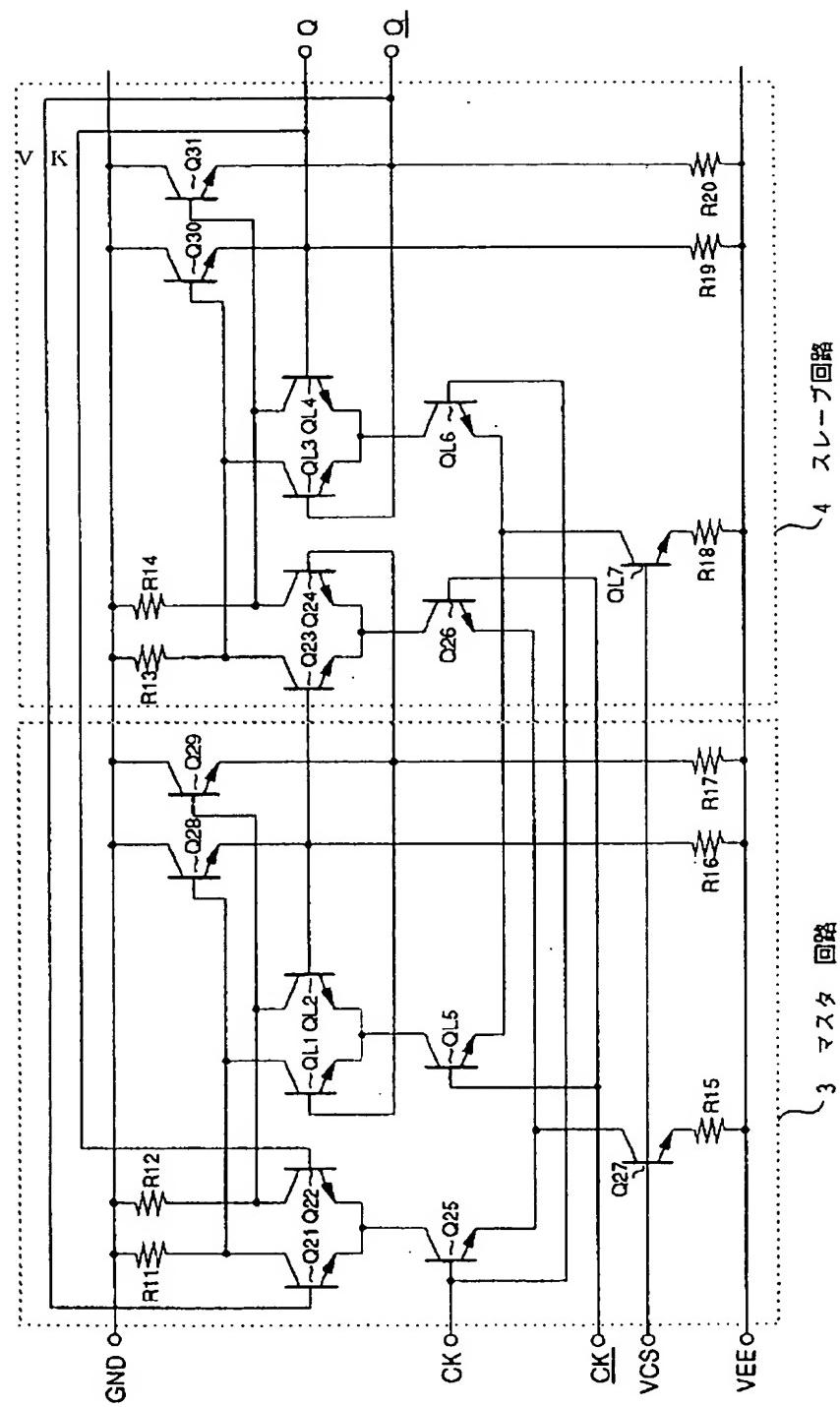
【図2】



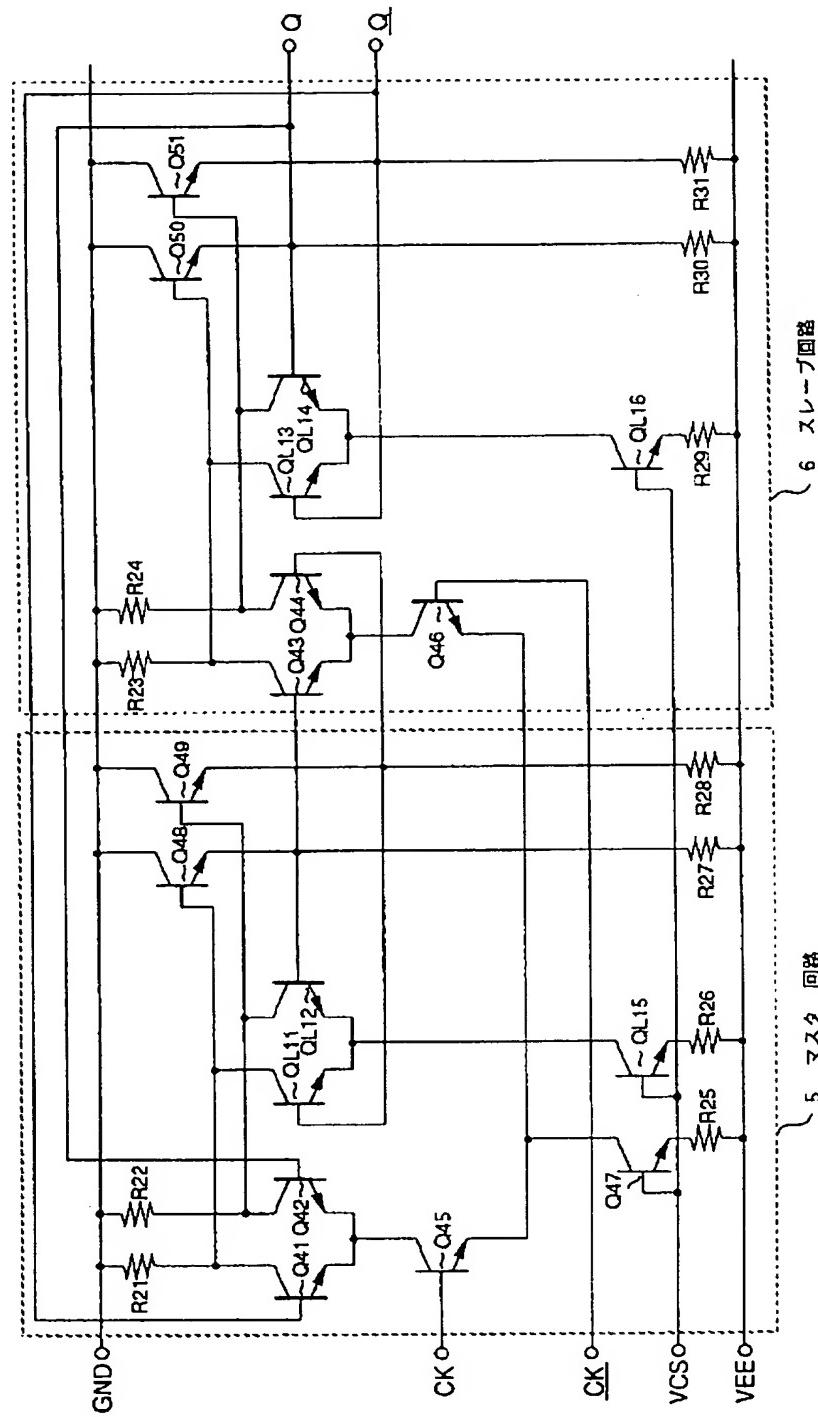
【図5】



【図 1】



【図3】



[図 4]

